

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開2003-31790

(P2003-31790A)

(43) 公開日 平成15年1月31日 (2003.1.31)

(51) Int.Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 1 L 27/15		H 0 1 L 27/15	D 5 F 0 4 1
			B 5 F 0 4 9
			C
21/265		33/00	A
31/10		21/265	P
審査請求 未請求 請求項の数22 O L (全 22 頁) 最終頁に続く			

(21) 出願番号 特願2001-216624(P2001-216624)

(22) 出願日 平成13年7月17日 (2001.7.17)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 宇田 啓一郎

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 齊藤 晶

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 葆 (外1名)

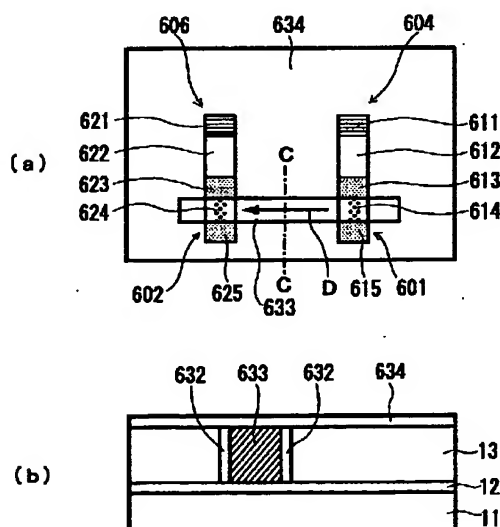
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 モノリシックのOEIC構造を有して安価に製造でき、信号伝送効率が良好な半導体装置を提供すること。

【解決手段】 SOI基板のSOI層13に、半導体シリサイド微粒子を含む発光素子601、発光素子601駆動用のMOSFET604、半導体シリサイド微粒子を含む受光素子602、受光素子602が受光した光信号を電気信号に変換するMOSFET606、光導波路633を形成する。MOSFET601がオンになると、発光領域614が発光し、この光は、シリコン酸化膜で囲まれた導波路633を経由して、受光素子601に受け取られ、MOSFET602をオンにする。発光素子601および受光素子602は半導体シリサイド微粒子を含むので、良好な発光効率および受光効率を有する。



【特許請求の範囲】

【請求項1】 絶縁膜と、この絶縁膜上に位置するシリコン結晶層とを備えるSOI基板と、

上記SOI基板のシリコン結晶層に形成されて、半導体シリサイドの微粒子を備える発光素子と、

上記シリコン結晶層に形成されて、半導体シリサイドの微粒子を備える受光素子と、

上記発光素子から放出された光を上記受光素子に導く導波路とを備えることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドのいずれか1つの微粒子であることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、 β -Feシリサイドの微粒子であることを特徴とする半導体装置。

【請求項4】 請求項1に記載の半導体装置において、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、Feシリサイド、 β -Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドのうちの2つ以上からなる混晶半導体の微粒子であることを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか1つに記載の半導体装置において、上記半導体シリサイドの微粒子は、1.5〜30nmの粒径を有することを特徴とする半導体装置。

【請求項6】 請求項1乃至5のいずれか1つに記載の半導体装置において、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、請求項2乃至4に記載の半導体シリサイドの構成元素以外の金属元素がドーパされた半導体シリサイド微粒子であることを特徴とする半導体装置。

【請求項7】 請求項6に記載の半導体装置において、上記金属元素は、Erであることを特徴とする半導体装置。

【請求項8】 請求項1乃至7のいずれか1つに記載の半導体装置において、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の下部が上記絶縁膜に接すると共に、上記矩形断面の導波路の上部および側部が、シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜からなる多層膜で囲まれていることを特徴とする半導体装置。

【請求項9】 請求項1乃至7のいずれか1つに記載の半導体装置において、

上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、

上記矩形断面の導波路の上部および側部は、

シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜よりも低い誘電率を有する膜によって囲まれているか、あるいは、

空気または不活性ガスに接するか、あるいは、

上記矩形断面の導波路の上部および側部の周りは真空であることを特徴とする半導体装置。

【請求項10】 請求項8に記載の半導体装置において、

上記矩形断面の導波路の上部および側部を囲む上記シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜の膜厚は、上記発光素子からの光の染み出し長よりも薄い厚みを有することを特徴とする半導体装置。

【請求項11】 請求項1乃至10のいずれか1つに記載の半導体装置において、

上記SOI基板に、複数の素子によって構成された集積回路を備え、

上記発光素子、受光素子、および導波路によって、上記集積回路の複数の素子間の信号を伝送することを特徴とする半導体装置。

【請求項12】 請求項11に記載の半導体装置において、

上記集積回路を構成する複数の素子は、絶縁ゲート電界効果型MOS素子、またはバイポーラ素子であることを特徴とする半導体装置。

【請求項13】 請求項11または12に記載の半導体装置において、

上記集積回路に信号を入出力する入力受光素子および出力発光素子と、

上記入力受光素子および出力発光素子と、他の半導体装置または外部のシステムとを接続する導波路とを備え、

上記入力受光素子、出力発光素子、および導波路によって、上記他の半導体装置または外部のシステムと信号をやり取りすることを特徴とする半導体装置。

【請求項14】 請求項13に記載の半導体装置において、

上記導波路は、光ファイバであることを特徴とする半導体装置。

【請求項15】 第1の素子と、

上記第1の素子に隣接して、第1の粒径の半導体シリサイド微粒子を備える第1の発光素子と、

第2の素子と、

上記第2の素子に隣接して、第2の粒径の半導体シリサイド微粒子を備える第2の発光素子と、

第3の素子と、

上記第3の素子に隣接して、第1の粒径の半導体シリサイド微粒子を備える第1の受光素子と、

第4の素子と、

上記第4の素子に隣接して、第2の粒径の半導体シリサイド微粒子を備える第2の受光素子と、

上記第1および第2の発光素子から放出された光を上記第1および第2の受光素子に導いて、波長多重並列伝送する導波路とをSOI基板の絶縁膜上のシリコン結晶層に備えることを特徴とする半導体装置。

【請求項16】 請求項1に記載の半導体装置の製造方法であって、

SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、

上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、

上記シリコン結晶層上の上記酸化膜が形成されていない部分に、第1の真性シリコン層をエピタキシャル成長する工程と、

上記第1の真性シリコン層上に、真性シリコンと、金属または半導体シリサイドとを、スパッタ法、蒸着法、またはMBE法によって同時成膜する工程と、

上記真性シリコンと、金属または半導体シリサイドとからなる膜をアニールして、半導体シリサイド微粒子を含む膜を形成する工程と、

上記半導体シリサイド微粒子を含む膜上に、第2の真性シリコン層をエピタキシャル成長する工程と、

上記第2の真性シリコン層上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、

上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項17】 請求項1に記載の半導体装置の製造方法であって、

SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、

上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、

上記シリコン結晶層上の上記酸化膜が形成されていない部分に、真性シリコンと、金属または半導体シリサイドとを、スパッタ法、蒸着法、またはMBE法によって同時成膜する工程と、

上記真性シリコンと、金属または半導体シリサイドとからなる膜をアニールして、上記真性シリコン中に、半導体シリサイド微粒子を島状に形成する工程と、

上記半導体シリサイド微粒子が島状に析出された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、

上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項18】 請求項1に記載の半導体装置の製造方法であって、

SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、

10 上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、

上記シリコン結晶層上の上記酸化膜が形成されていない部分に、真性シリコン膜を、スパッタ法、蒸着法、またはMBE法によって成膜する工程と、

上記真性シリコン膜中に、Fe、Mn、Mg、Mo、W、Cr、Ru、Re、Os、Ba、またはIrの金属イオンをイオン注入する工程と、

上記金属イオンが注入された真性シリコン膜をアニールして、上記真性シリコン膜中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する工程と、

20 上記半導体シリサイド微粒子が島状に形成された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、

上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項19】 請求項1に記載の半導体装置の製造方法であって、

30 SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、

上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、

上記シリコン結晶層中の上記酸化膜が形成されていない部分に、Fe、Mn、Mg、Mo、W、Cr、Ru、Re、Os、Ba、またはIrの金属イオンをイオン注入する工程と、

40 上記金属イオンが注入されたシリコン結晶層をアニールして、上記シリコン結晶層中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する工程と、

上記半導体シリサイド微粒子が島状に形成されたシリコン結晶層上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、

上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴とする半導体装置の製造方法。

50 【請求項20】 SOI基板の絶縁膜上のシリコン結晶層に、MOSFETのソースおよびドレインとなる第1

導電型の第1領域を形成する工程と、
上記シリコン結晶層に、上記第1領域から所定の距離を
おいて、第2導電型の第2領域を形成する工程と、
上記シリコン結晶層の上記第1領域と第2領域との間の
領域に、金属イオンを注入する工程と、
上記シリコン結晶層の上記金属イオンを注入した領域
に、半導体シリサイド微粒子を形成するための熱処理を
施す工程と、
上記シリコン結晶の第1領域と、第2領域とに、電極を
各々接続する工程とを備えることを特徴とする半導体装
置の製造方法。

【請求項21】 SOI基板の絶縁膜上のシリコン結晶
層に、上記絶縁膜に達しない深さのトレンチを形成し、
このトレンチに絶縁体を充填して分離体を形成し、この
分離体の両側かつ上記絶縁膜上に、パイボウ素子のコレ
クタ領域に接続する第1導電型の第1領域を形成する
工程と、
上記シリコン結晶層の上記分離体の一方の側であって上
記第1領域の上方に、金属イオンを注入する工程と、
上記シリコン結晶層の上記金属イオンを注入した領域
に、半導体シリサイド微粒子を形成するための熱処理を
施す工程と、
上記シリコン結晶層の上記半導体シリサイド微粒子を形
成した領域の上方に、第2導電型の第2領域を形成する
工程と、
上記シリコン結晶層の上記分離体の他方の側に、パイボ
ウ素子を形成する工程と、
上記シリコン結晶層の第2領域と、上記パイボウ素子
に、電極を各々接続する工程とを備えることを特徴とす
る半導体装置の製造方法。

【請求項22】 請求項16乃至21のいずれか1つに
記載の半導体装置の製造方法において、
上記半導体シリサイド微粒子に、Erを添加することを
特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置および
その製造方法に関し、より詳しくは、光導波路で導かれ
る光によって信号を伝送し、超高速動作が可能な半導体
装置に関する。

【0002】

【従来の技術】近年、シリコンをベースにした集積回路
は、高集積化、微細化が進み、集積回路の素子間を電気
的に接続する金属配線は、2次元的面内配線、3次元的
多層配線などを駆使して、限界近くまで高密度化してい
る。さらに、集積回路の大規模化に伴い、集積回路の配
線長は増大している。しかしながら、上記金属配線の電
気抵抗値は、断面積的および材料的な対処によっても大
きく減少しないため、0.18 μ mルールを境に集積回
路の信号遅延が顕著になる傾向がある。これは、今後更

なる集積化路の微細化、高集積化を行っても、集積回路
の情報処理速度の高速化が実現されないことを示唆し、
大規模、高性能の集積回路を実現する上で非常に大きな
問題となってきている。

【0003】この問題を解決するため、集積回路内の信
号伝達を、従来のように金属配線で電気的に行うのでは
なく、光によって行うことにより、素子間の信号伝達速
度を高速にして、集積回路の情報処理速度を飛躍的に向
上させることが考えられる。このような集積回路とし
て、電子素子による信号処理と、発光素子および受光素
子による光での信号伝送とを組み合わせたOEIC（光
電気集積回路）が提案されている。このOEICの多く
は、発光素子および受光素子を、III-V族化合物半
導体、特に、ガリウム・砒素をベースとした直接遷移型
の半導体で形成し、効率の良い発光素子および受光素子
を形成するようにしている。

【0004】一方、シリコンなどのIV族半導体は、エ
ネルギーバンド構造が間接遷移型であり、バンド間遷移
の確率が低いので、効率の良い発光素子や受光素子を形
成することは困難である。したがって、電子デバイスで
市場の大部分を占めるモノリシックのシリコン集積回路
をベースにしたOEICは殆ど提案されていない。

【0005】図10は、IV族半導体によって、発光素
子および受光素子を構成した半導体装置である（特開平
6-326359号公報）。この半導体装置は、n型シリ
コン層91上に形成された第1真性シリコン層92上
に、CVD（化学的気相成長法）やMBE（分子線ビー
ムエピタキシー法）を用いたエピタキシャル成長によっ
て、IV族半導体であるゲルマニウムを成長し、ゲルマ
ニウムとシリコンとの格子不整合を利用して、ゲルマニ
ウム微粒子93を形成している。上記第1真性シリコン
層92およびゲルマニウム微粒子93上に第2真正シリ
コン層94を形成し、この第2真正シリコン層94上に
p型エピタキシャル層95を形成している。この半導体
装置を、シリコン集積回路に接続し、このシリコン集積
回路からの信号を受けて上記ゲルマニウム微粒子93が
発光して、この発光光を、他の回路に接続された他の受
光素子が受光して、上記シリコン集積回路と他の回路と
の間の信号伝送を行うようにしている。

【0006】

【発明が解決しようとする課題】しかしながら、上記従
来の半導体装置は、発光および受光の機能のみを有する
ものであって、シリコン集積回路とはモノリシックに形
成されていない。したがって、上記半導体装置のデバイ
ス設計および製造プロセスは、従来のシリコン半導体装
置用のラインでは実行できないので、高コストになると
いう問題がある。さらに、上記半導体装置のゲルマニウ
ム微粒子93が発光する光は、バルクシリコンのバンド
ギャップよりも低エネルギーの光であるので、この光は
半導体装置の全てのシリコン層において全方位に放射さ

れ、方向性を持たずに発散してしまう。したがって、この半導体装置は、所定の素子間において光の伝送方向を正確に制御することが困難であり、信号伝送効率が悪いという問題がある。

【0007】そこで、本発明の目的は、モノリシックのOEIC構造を有して安価に製造でき、信号伝送効率が良好な半導体装置を提供することにある。

【0008】

【課題を解決するための手段】まず、本発明の原理を説明する。

【0009】(発光素子および受光素子)シリコン結晶中に形成された金属シリサイドは、特定の材料や組成を選択することによって、半導体的性質を有するいわゆる半導体シリサイドが形成できる。この半導体シリサイドとしては、Feシリサイド、 β -Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドがある。これらの半導体シリサイドは、直接遷移型のバンドギャップを有し、キャリアの注入によつて、所定波長の光を放出することができる。

【0010】上記半導体シリサイドを、ナノメータオーダーの微粒子に形成すると、半導体シリサイドが有する直接遷移型のバンドギャップに、量子閉じ込め準位が生じる。この量子閉じ込め準位間での遷移により発光が生じるので、半導体シリサイドを微粒子に形成すると、膜に形成した場合よりも高輝度発光ができる。

【0011】また、半導体シリサイドは、バンドギャップに対応する波長の光を受光した場合には、電子・ホールペアが生成され、キャリアが発生するので、光を電気信号に変換できる受光素子として動作させることが可能である。

【0012】このような特性を有する半導体シリサイド膜あるいは該材料の微粒子を、シリコン系基板に組み込むことにより、シリコン集積回路の中に発光素子および受光素子をモノリシックに形成することが可能になる。*

	屈折率 (n)	臨界角 θ_c (度)
Si	3.42	—
SiO ₂	1.46	25.3
Si ₃ N ₄	2.05	36.8
空気、真空	約1.0	17.0

【0018】図9は、シリコン層101からの光が膜102に向って進む様子を示した図である。この膜102は、表1に示すSiO₂、Si₃N₄、および、空気または真空である。図9に示すように、上記光の入射角 θ が、表1に示した臨界角 θ_c よりも大きいと、矢印Aで示すように入射した光は、シリコン層101と膜102との界面で矢印Bで示すように全反射されて、上記膜102中に入射する光の成分はなくなる。したがって、絶※50

*【0013】シリコン集積回路の中に発光素子および受光素子をモノリシックに形成する一例としては、上記半導体シリサイド膜および半導体シリサイド微粒子を、MOSFETのドレインもしくはバイポーラトランジスタのコレクタあるいはダイオードに接続して形成することで、シリコン集積回路内の素子間の信号を光に変換して伝送することが可能になり、さらに、集積回路間もしくは集積回路と外部システム間の信号も光によって伝達可能になる。

10 【0014】(導波路)上記半導体シリサイドによる発光光によって信号を伝送する際、その光の波長は、シリコンのバンドギャップ幅(1.1eV)に対応する波長よりも長い(エネルギー的には小さい)ので、上記光は、シリコン中を吸収されずに伝播することが可能である。シリコン集積回路内の信号伝送を光で行う場合、上記半導体シリサイドを用いた発光素子をシリコン集積回路に形成すると、上記発光素子の発光光は、シリコン中の全ての方向に拡散する。したがって、光を所定の方向に伝播させるため、光導波路をシリコン集積回路に設ける必要がある。

【0015】上記導波路は、光をガイドすべき所定の方向に向って、シリコンの周囲をSiO₂(シリコン酸化膜)、Si₃N₄(シリコン窒化膜)、またはSiO₂とSi₃N₄との積層膜で包囲して形成する。

30 【0016】下記の表1は、Si(シリコン)、SiO₂、およびSi₃N₄の屈折率と臨界角とを示した表である。表1から分かるように、SiO₂やSi₃N₄の屈折率は、Siの屈折率に比べて小さいので、SiからSiO₂、およびSi₃N₄に入射する光は、SiとSiO₂との界面、またはSiとSi₃N₄との界面で、Si側に全反射される。スネルの法則により、Siから各々に入射する光が全反射を起こす臨界角(θ_c)を計算すると、表1に示すような角度になる。

【0017】

【表1】

※縁膜基板上的シリコン層中に、半導体シリサイド層または半導体シリサイド微粒子を含む発光部を形成し、上記シリコン層の上記発光部に接続する部分を、SiO₂膜やSi₃N₄膜で囲むと、上記発光部に接続したシリコン層の部分を、上記発光部からの光を閉じ込める導波路に形成できる。

【0019】ここで、上記導波路を、上記SiO₂およびSi₃N₄を積層してなる積層膜によって囲むと、こ

の積層膜は、 SiO_2 と Si_3N_4 の層厚および層数を制御することによって、シリコンと積層膜との界面における反射に波長依存性を持たせることが可能であるので、導波路に、波長に依存した導波特性を与えることが可能になる。

【0020】また、表1に示すように、空気および真空の屈折率は略1.0であり、また、シリコンから空気および真空への光の全反射角 θ_c は17.0度であり、この屈折率と全反射角は、 SiO_2 および Si_3N_4 の屈折率と全反射角よりも小さい。したがって、導波路の周りを空気に接触させる、あるいは真空にすると、良好な光閉じ込め効果を有する導波路が形成できる。

【0021】上記導波路を、 SiO_2 膜、 Si_3N_4 膜、あるいは、 SiO_2 および Si_3N_4 を積層してなる積層膜によって囲んだ場合、上記 SiO_2 膜、 Si_3N_4 膜、あるいは、上記積層膜中には、導波路の光が染み出す。上記膜中に光が染み出す長さである染み出し長は、その膜の材料と、光の波長および入射角によって定まる。上記導波路を囲む膜の厚さを、その膜における染み出し長よりも薄くして、この膜の外部が空気に接するようにすると、空気の屈折率は略1.0であるから、上記膜から上記空気に向う染み出し光を、上記膜と空気との界面で全反射させることができる。その結果、良好な光閉じ込め効果を有する導波路が形成できる。

【0022】本発明の半導体装置は、絶縁膜と、この絶縁膜上に位置するシリコン結晶層とを備えるSOI（シリコン・オン・インシュレータ）基板と、上記SOI基板のシリコン結晶層に形成されて、半導体シリサイドの微粒子を備える発光素子と、上記シリコン結晶層に形成されて、半導体シリサイドの微粒子を備える受光素子と、上記発光素子から放出された光を上記受光素子に導く導波路とを備えることを特徴としている。

【0023】上記構成によれば、SOI基板の絶縁層上のシリコン結晶層に形成された発光素子は、半導体シリサイドの微粒子を備え、この半導体シリサイドは所定のバンドギャップを有し、しかも、微粒子に形成されることによって量子サイズ効果を奏するから、この半導体シリサイドの微粒子は高輝度発光が可能になり、その結果、この発光素子は良好な発光効率を得られる。

【0024】また、SOI基板のシリコン結晶層に形成された受光素子は、半導体シリサイドの微粒子を備え、この半導体シリサイドは上記所定のバンドギャップを有し、しかも、微粒子に形成されることによって量子サイズ効果を奏するから、この半導体シリサイドの微粒子に入射する光による光学遷移によって、キャリアが効率良く生成され、その結果、この受光素子は良好な受光効率を得られる。

【0025】また、SOI基板のシリコン結晶層に形成された導波路によって、上記発光素子からの光が上記受光素子に導かれるから、上記発光素子の光によって例え

ば信号を伝送する場合、上記発光素子から受光素子への良好な信号伝送効率を得られる。

【0026】また、上記半導体装置は、発光素子、受光素子および導波路がSOI基板のシリコン結晶層に形成され、上記発光素子および受光素子は、シリコン系化合物である半導体シリサイドの微粒子を備えるので、従来のモノリシックのシリコン集積回路の製造ラインを用いて安価に製造できる。

【0027】ここにおいて、SOI基板とは、絶縁層と、この絶縁層上に位置するシリコン結晶層とを備える構造をいう。例えば、バルクシリコン中に絶縁層としてのシリコン酸化膜を埋め込み形成してSOI基板を構成してもよく、あるいは、絶縁層としてのサファイアおよび石英基板などの上に、シリコン結晶層を成長してSOI基板を構成してもよい。また、半導体シリサイドとは、シリコンと金属との化合物であって、バンドギャップを有して半導体の性質を有するものを言う。

【0028】1実施形態の半導体装置は、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、Fe（鉄）シリサイド、Mn（マンガン）シリサイド、Mg（マグネシウム）シリサイド、Mo（モリブデン）シリサイド、W（タングステン）シリサイド、Cr（クロム）シリサイド、Ru（ルテニウム）シリサイド、Re（レニウム）シリサイド、Os（オスミウム）シリサイド、Ba（バリウム）シリサイド、およびIr（イリジウム）シリサイドのいずれか1つの微粒子である。

【0029】上記実施形態によれば、上記発光素子および受光素子は、バンドギャップを有して直接遷移型の半導体の性質を有するFeシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドのいずれか1つの半導体シリサイドの微粒子を備えるので、良好な発光効率および受光効率を得られる。

【0030】1実施形態の半導体装置は、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、 $\beta\text{-Fe}$ （ベータ鉄）シリサイドの微粒子である。

【0031】上記実施形態によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、 $\beta\text{-Fe}$ シリサイドの微粒子であり、この $\beta\text{-Fe}$ シリサイドは直接遷移型半導体であって、バンドギャップが0.75~0.9eVであり、また、光の吸収率が $1\text{E}5/\text{cm}$ 以上と比較的大きい値である。したがって、上記発光素子および受光素子は、 $\beta\text{-Fe}$ シリサイドの微粒子によって、例えば1~1.55 μm 帯付近であって信号伝送に好適な赤外光が、効率良く発光および受光できる。また、 $\beta\text{-Fe}$ シリサイドの微粒子を備える発光素子によって発光される光は、シリコンのバンドギャップよりも低いエネルギーの波長を有するので、上記SOI基板のシリコン結晶層に形成された導波路をシリコン結晶に

11

よって構成する場合、この導波路で光が殆ど吸収されることがなく、良好な効率で受光素子に送られる。

【0032】1実施形態の半導体装置は、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、Feシリサイド、 β -Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドのうちの2つ以上からなる混晶半導体の微粒子である。

【0033】上記実施形態によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、上記2つ以上の半導体シリサイドからなる混晶半導体の微粒子であるので、上記2つ以上の半導体シリサイドの混晶比を制御することによって、所望のバンドギャップが得られる。

【0034】1実施形態の半導体装置は、上記半導体シリサイドの微粒子は、1.5〜30nmの粒径を有する。

【0035】上記実施形態によれば、上記半導体シリサイドの微粒子は、1.5〜30nmの粒径を有するので、この粒径を制御することによって、所望のバンドギャップが得られる。ここにおいて、上記半導体シリサイドの微粒子が1.5nmより小さいと、バンドギャップが大きくなり、半導体シリサイドの微粒子が発光し難くなる。一方、上記半導体シリサイドの微粒子が30nmより大きいと、バンドギャップが小さくなり、信号伝送に好適な波長の光が得られない。

【0036】1実施形態の半導体装置は、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、上記半導体シリサイドの構成元素以外の金属元素がドーパされた半導体シリサイド微粒子である。

【0037】上記実施形態によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、上記金属元素がドーパされているので、上記発光素子では、上記金属元素が発光中心として働いてキャリアの再結合を促進するから、上記発光素子は良好な発光効率を得られる。また、上記受光素子では、上記金属元素が発生中心として働いてキャリアの生成を促進するので、上記受光素子は良好な受光効率を得られる。

【0038】1実施形態の半導体装置は、上記金属元素は、Er（エルビウム）である。

【0039】上記実施形態によれば、上記金属元素はErであるので、上記発光素子は、上記半導体シリサイドの微粒子において上記Erが発光中心として働いて、良好な発光効率を得られ、また、上記受光素子は、上記半導体シリサイドの微粒子において上記Erが発生中心として働いて、良好な受光効率を得られる。

【0040】1実施形態の半導体装置は、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の下部が上記絶縁膜に接する

12

と共に、上記矩形断面の導波路の上部および側部が、シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜からなる多層膜で囲まれている。

【0041】上記実施形態によれば、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の下部が上記絶縁膜に接するので、上記導波路の下部を画定する必要がなく、上記導波路の上部および側部を画定するのみによって、上記シリコン結晶層のシリコン結晶を用いて容易に形成される。

【0042】また、上記導波路は、上記矩形断面の導波路の上部および側部が、シリコン酸化膜およびシリコン窒化膜で囲まれており、上記シリコン酸化膜およびシリコン窒化膜はシリコンよりも屈折率が小さいから、上記導波路をシリコン結晶で形成することによって導波路に効果的に光が閉じ込められて、上記導波路の光の伝送効率が向上する。

【0043】また、上記導波路は、上記矩形断面の導波路の上部および側部が、シリコン酸化膜とシリコン窒化膜からなる多層膜で囲まれているので、このシリコン酸化膜とシリコン窒化膜の膜厚や膜数を制御することによって、上記導波路と多層膜との界面における光の反射に波長依存性を持たせることができるから、上記導波路は、伝送する光の波長に依存した伝送特性が得られる。

【0044】1実施形態の半導体装置は、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の上部および側部は、シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜よりも低い誘電率を有する膜によって囲まれているか、あるいは、空気または不活性ガスに接するか、あるいは、上記矩形断面の導波路の上部および側部の周りは真空である。

【0045】上記実施形態によれば、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の上部および側部は、シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜よりも低い誘電率を有する膜によって囲まれているか、あるいは、空気または不活性ガスに接するか、あるいは、上記矩形断面の導波路の上部および側部の周りは真空であって、これらのいずれも、シリコンよりも屈折率が小さいから、シリコン結晶によって導波路を形成することによって、この導波路に効果的に光が閉じ込められて、上記導波路の光の伝送効率が向上する。

【0046】1実施形態の半導体装置は、上記矩形断面の導波路の上部および側部を囲む上記シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜の膜厚は、上記発光素子からの光の染み出し長よりも薄い厚みを有する。

【0047】上記実施形態によれば、上記矩形断面の導波路の上部および側部を囲む上記シリコン酸化膜、シリ

10

20

30

40

50

コン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜の膜厚は、上記発光素子からの光の染み出し長よりも薄い厚みを有するので、上記シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜の上記導波路と接しない側の面が、空気および真空に接する場合、この空気および真空の屈折率は略1.0であるので、この空気および真空よりも屈折率が大きい上記シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜への導波路からの染み出し光は、上記空気および真空との間の界面に達し、この界面で導波路側に全反射される。その結果、上記導波路への光閉じ込め効果が向上し、この導波路の光伝送効率が向上する。

【0048】1実施形態の半導体装置は、上記SOI基板に、複数の素子によって構成された集積回路を備え、上記発光素子、受光素子、および導波路によって、上記集積回路の複数の素子間の信号を伝送する。

【0049】上記実施形態によれば、上記SOI基板に形成された集積回路の複数の素子間の信号を、上記発光素子、受光素子、および導波路によって伝送するので、上記素子間の信号は、導電性の配線を介して電子によって伝送されるよりも高速で伝送されるから、上記集積回路の処理速度が高速になる。また、上記導波路で伝送される光は、配線で伝送される電子におけるような電磁波などの外乱を受け難いので、上記集積回路による処理が安定する。

【0050】また、上記集積回路を構成する素子、ならびに、上記発光素子、受光素子、および導波路は、上記SOI基板に形成されるので、モノリシックの半導体装置が得られる。

【0051】1実施形態の半導体装置は、上記集積回路を構成する複数の素子は、絶縁ゲート電界効果型MOS（金属・酸化膜・半導体）素子、またはバイポーラ素子である。

【0052】上記実施形態によれば、上記集積回路を構成する複数の素子は、絶縁ゲート電界効果型MOS素子、またはバイポーラ素子であるので、これらの素子のうちの所定の素子で電子的に処理された信号が、上記発光素子、受光素子、および導波路で光によって他の素子に伝送され、この伝送された信号が上記他の素子で電子的に処理されて、光電気集積回路が形成される。

【0053】1実施形態の半導体装置は、上記集積回路に信号を入出力する入力受光素子および出力発光素子と、上記入力受光素子および出力発光素子と、他の半導体装置または外部のシステムとを接続する導波路とを備え、上記入力受光素子、出力発光素子、および導波路によって、上記他の半導体装置または外部のシステムと信号をやり取りする。

【0054】上記実施形態によれば、上記集積回路で処理された信号が、上記出力発光素子、導波路を経て上記

他の半導体装置または外部のシステムに伝送され、また、上記他の半導体装置または外部のシステムで処理された信号が、上記導波路、出力発光素子を経て上記集積回路に伝送される。したがって、上記半導体装置は、上記他の半導体装置または外部のシステムとの間の信号伝送が、高速に安定して実行される。

【0055】1実施形態の半導体装置は、上記導波路は、光ファイバである。

【0056】上記実施形態によれば、上記半導体装置と、他の半導体装置または外部のシステムとの間の信号伝送が、光ファイバによって高速に安定して実行される。

【0057】本発明の半導体装置は、第1の素子と、上記第1の素子に隣接して、第1の粒径の半導体シリサイド微粒子を備える第1の発光素子と、第2の素子と、上記第2の素子に隣接して、第2の粒径の半導体シリサイド微粒子を備える第2の発光素子と、第3の素子と、上記第3の素子に隣接して、第1の粒径の半導体シリサイド微粒子を備える第1の受光素子と、第4の素子と、上記第4の素子に隣接して、第2の粒径の半導体シリサイド微粒子を備える第2の受光素子と、上記第1および第2の発光素子から放出された光を上記第1および第2の受光素子に導いて、波長多重並列伝送する導波路とをSOI基板の絶縁膜上のシリコン結晶層に備えることを特徴としている。

【0058】上記構成によれば、第1の発光素子が第1の素子から信号を受けて発光し、第2の発光素子が第2の素子から信号を受けて発光する。上記第1の発光素子が備えるシリサイド微粒子の粒径である第1の粒径と、上記第2の発光素子が備えるシリサイド微粒子の粒径である第2の粒径とは異なるので、上記第1の発光素子の発光波長と第2の発光素子の発光波長とは異なる。波長が異なる上記第1の発光素子の発光光と第2の発光素子の発光光とが、導波路によって波長多重並列伝送されて、第1受光素子および第2受光素子に受光される。これにより、同一の導波路によって、複数の信号が並列伝送できる。

【0059】本発明の半導体装置の製造方法は、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層上の上記酸化膜が形成されていない部分に、第1の真性シリコン層をエピタキシャル成長する工程と、上記第1の真性シリコン層上に、真性シリコンと、金属または半導体シリサイドとを、スパッタ法、蒸着法、またはMBE法によって同時成膜する工程と、上記真性シリコンと、金属または半導体シリサイドとからなる膜をアニールして、半導体シリサイド微粒子を含む膜を形成する工程と、上記半導体シリサイド微粒子を含む膜上に、第2

の真性シリコン層をエピタキシャル成長する工程と、上記第2の真性シリコン層上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴としている。

【0060】上記構成によれば、第1導電型のシリコン結晶層上、かつ、酸化膜が形成されていない部分に、第1の真性シリコン層を形成する。この第1の真性シリコン層上に、真性シリコンと、金属または半導体シリサイドとを同時成膜し、この同時に成膜された膜をアニールして、半導体シリサイド微粒子を含む膜を形成する。この半導体シリサイド微粒子を含む膜上に、第2の真性シリコン層、第2導電型の不純物が添加されたシリコン層を形成する。これによって、 $p-i-n$ あるいは $n-i-p$ 構造を有する受光素子および発光素子が、SOI基板の所定部分に作成される。

【0061】本発明の半導体装置の製造方法は、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層上の上記酸化膜が形成されていない部分に、真性シリコンと、金属または半導体シリサイドとを、スパッタ法、蒸着法、またはMBE法によって同時成膜する工程と、上記真性シリコンと、金属または半導体シリサイドとからなる膜をアニールして、上記真性シリコン中に、半導体シリサイド微粒子を島状に形成する工程と、上記半導体シリサイド微粒子が島状に析出された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴としている。

【0062】上記構成によれば、第1導電型のシリコン結晶層上、かつ、酸化膜が形成されていない部分に、真性シリコンと、金属または半導体シリサイドとを同時成膜し、この同時に成膜された膜をアニールして、島状に形成された半導体シリサイド微粒子を含む真性シリコンの膜を形成する。この半導体シリサイド微粒子を含む真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する。これによって、 $p-n$ あるいは $n-p$ 構造を有する受光素子および発光素子が、SOI基板の所定部分に作成される。

【0063】本発明の半導体装置の製造方法は、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層上の上記酸化膜が形成されていない部分に、真性シリコ

ン膜を、スパッタ法、蒸着法、またはMBE法によって成膜する工程と、上記真性シリコン膜中に、Fe、Mn、Mg、Mo、W、Cr、Ru、Re、Os、Ba、またはIrの金属イオンをイオン注入する工程と、上記金属イオンが注入された真性シリコン膜をアニールして、上記真性シリコン膜中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する工程と、上記半導体シリサイド微粒子が島状に形成された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴としている。

【0064】上記構成によれば、第1導電型のシリコン結晶層上、かつ、酸化膜が形成されていない部分に真性シリコン膜を成膜し、この真性シリコン膜中に金属イオンを注入し、アニールして、上記真性シリコン膜中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する。この半導体シリサイド微粒子が島状に形成された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する。これによって、 $p-i-n$ あるいは $n-i-p$ 構造を有する受光素子および発光素子が、SOI基板の所定部分に作成される。

【0065】本発明の半導体装置の製造方法は、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層中の上記酸化膜が形成されていない部分に、Fe、Mn、Mg、Mo、W、Cr、Ru、Re、Os、Ba、またはIrの金属イオンをイオン注入する工程と、上記金属イオンが注入されたシリコン結晶層をアニールして、上記シリコン結晶層中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する工程と、上記半導体シリサイド微粒子が島状に形成されたシリコン結晶層上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えることを特徴としている。

【0066】上記構成によれば、第1導電型のシリコン結晶層中であって、酸化膜が形成されていない部分の下方に、金属イオンを注入し、アニールして、上記シリコン結晶層中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する。この半導体シリサイド微粒子が島状に形成されたシリコン結晶層上に、第2導電型の不純物が添加されたシリコン層を形成する。これによって、 $p-i-n$ あるいは $n-i-p$ 構造を有する受光素子および発光素子が、SOI基板の所定部分に、比較的容易に作成される。また、上記半導体シリサイド微粒子

を上記シリコン結晶層中に形成することによって、発光素子の発光部および受光素子の受光部が上記シリコン結晶層中に形成されるので、この発光部および受光部に導波路を隣接させることにより、上記発光部から容易に光を取り出し、また、上記受光部に容易に光を導くことができる。すなわち、上記発光素子および受光素子は、シリコン結晶層中に形成される導波路との接続性が、容易かつ良好になる。

【0067】本発明の半導体装置の製造方法は、SOI基板の絶縁膜上のシリコン結晶層に、MOSFET（金属・酸化膜・半導体電界効果トランジスタ）のソースおよびドレインとなる第1導電型の第1領域を形成する工程と、上記シリコン結晶層に、上記第1領域から所定の距離をおいて、第2導電型の第2領域を形成する工程と、上記シリコン結晶層の上記第1領域と第2領域との間の領域に、金属イオンを注入する工程と、上記シリコン結晶層の上記金属イオンを注入した領域に、半導体シリサイド微粒子を形成するための熱処理を施す工程と、上記シリコン結晶の第1領域と、第2領域とに、電極を各々接続する工程とを備えることを特徴としている。

【0068】上記構成によれば、SOI基板上に、MOSFETと、このMOSFETのソースおよびドレインに接続された発光素子および受光素子が形成され、電気信号と光信号との間を変換するモノリシックの半導体装置が得られる。

【0069】また、上記発光素子または受光素子は、MOSFETの標準的な製造プロセスによって形成されるので、従来のMOSFETの製造ラインを利用して、SOI基板上にMOSFET、発光素子、および受光素子を備える半導体装置が、安価に製造される。

【0070】本発明の半導体装置の製造方法は、SOI基板の絶縁膜上のシリコン結晶層に、上記絶縁膜に達しない深さのトレンチを形成し、このトレンチに絶縁体を充填して分離体を形成し、この分離体の両側かつ上記絶縁膜上に、パイボラ素子のコレクタ領域に接続する第1導電型の第1領域を形成する工程と、上記シリコン結晶層の上記分離体の一方の側であって上記第1領域の上方に、金属イオンを注入する工程と、上記シリコン結晶層の上記金属イオンを注入した領域に、半導体シリサイド微粒子を形成するための熱処理を施す工程と、上記シリコン結晶層の上記半導体シリサイド微粒子を形成した領域の上方に、第2導電型の第2領域を形成する工程と、上記シリコン結晶層の上記分離体の他方の側に、パイボラ素子を形成する工程と、上記シリコン結晶層の第2領域と、上記パイボラ素子に、電極を各々接続する工程とを備えることを特徴としている。

【0071】上記構成によれば、SOI基板上に、パイボラ素子と、このパイボラ素子のコレクタに接続された発光素子および受光素子が形成され、電気信号と光信号との間を変換するモノリシックの半導体装置が得ら

れる。

【0072】1実施形態の半導体装置の製造方法は、上記半導体シリサイド微粒子に、Erを添加する。

【0073】上記実施形態によれば、上記シリサイド微粒子にErを添加することによって、発光効率の良好な発光素子、および、受光効率の良好な受光素子を備える半導体装置が作成される。

【0074】

【発明の実施の形態】以下、本発明を図示の実施の形態により詳細に説明する。

【0075】（第1実施形態）図1（a）、（b）、（c）は、本発明の第1実施形態の半導体装置を製造する工程を示す図である。本実施形態では、本発明の半導体装置が備える発光素子、受光素子、および導波路のうち、発光素子を形成する工程を説明する。

【0076】まず、図1（a）に示すようなシリコン単結晶層11と、このシリコン単結晶層11上に形成された埋め込み酸化膜12と、この埋め込み酸化膜12上に位置して30～100nm程度の膜厚を有するSOI層13とからなるSOI基板を用意する。上記SOI基板のSOI層13に、30～60keV程度の注入エネルギー、および、 $10^{14} \sim 10^{15} \text{ cm}^{-2}$ 程度の注入量で、砒素などのn型不純物をイオン注入する。このSOI層13は、後述する発光材料である β -Feシリサイド微粒子への電子の供給源となるので、熱処理後の不純物濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度となるように、エネルギーやドーズ量などの注入条件を設定する。

【0077】その後、上記SOI層13上に、図示しないレジストを、膜厚が例えば300nm程度になるように塗布する。続いて、ステッパーなどの紫外線露光機により、上記レジスト膜の所定のパターン領域を露光し、このレジスト膜の露光部分を現像、ベークして、レジストパターンを形成する。このSOI基板上に、方向性スパッタリング法などにより、シリコン酸化膜を例えば300nm程度の厚さに堆積する。これによって、上記レジストパターンの開口部では、SOI層13上にシリコン酸化膜が形成される。次いで、リフトオフ法によって、上記レジストパターンおよびSOI層13上に堆積したシリコン酸化膜を除去すると、図1（a）に示すようなシリコン酸化膜によるマスクパターン14が、SOI層13上に形成される。

【0078】次に、上記SOI層13上の上記マスクパターン14が形成されていない部分に、ノンドープシリコンと β -Feシリサイドとを、各々独立して同時にスパッタすることによって、ノンドープシリコンと β -Feシリサイドとの混合膜を形成する。その後、上記混合膜に、600～900℃の温度で、RTAなどの急速昇降温アニールを施す。これによって、ノンドープシリコンのマトリックス中に1.5nm～20nm程度の結晶

またはアモルファス状態の β -Feシリサイドの微粒子を島状に析出させて、半導体シリサイドとしての β -Feシリサイドの微粒子を備える β -Feシリサイド微粒子膜15を作製する(図1(b))。

【0079】ここにおいて、上記ノンドープシリコンと β -Feシリサイドとの混合膜は、MBE、CVDなどによって形成してもよい。

【0080】その後、図1(c)に示すように、上記 β -Feシリサイド微粒子膜15の上に、p型不純物が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の濃度でドーピングされたp型シリコン層18を、例えば50nm~300nm程度エピタキシャル成長する。最後に、上記SOI層13に、図示しない引出し電極を接続してn型電極を形成し、上記p型シリコン層18に図示しない電極を接続してp型電極を形成して、発光素子が完成する。

【0081】上記実施形態によれば、上記p型シリコン層18とn型のSOI層13との界面に β -Feシリサイド微粒子膜15を備えるp-n接合構造が形成される。上記p-n接合の界面に形成された β -Feシリサイド微粒子膜15は、バンドギャップを有して量子サイズ効果を有するので、高輝度発光が可能であり、高効率の発光素子が形成できる。また、本実施形態の発光素子は、上記 β -Feシリサイド微粒子膜15に入射した光による光学遷移によってキャリアを生成するので、受光素子としても機能できる。

【0082】上記実施形態において、上記 β -Feシリサイド微粒子膜15には、Erを含ませてもよい。上記 β -Feシリサイド微粒子膜15にキャリアが注入された際、上記Erが発光中心として働いて、上記発光素子は、さらに高輝度発光ができる。

【0083】上記実施形態において、SOI層13上には、上記マスクパターン14を配置しないで、SOI層13上の全面に、 β -Feシリサイド微粒子膜15、p型シリコン層18を積層してp-n構造を形成し、その後、リソグラフィ、エッチングプロセスによって、上記SOI層13上の半導体層を所定の形状に形成してもよい。

【0084】また、SOI層13にp型不純物を添加すると共に、 β -Feシリサイド微粒子膜15上にn型シリコン層を配置して、n-p構造を構成してもよい。

【0085】また、本実施形態の半導体は、SOI基板中に形成された埋め込み酸化膜12上の上記SOI層13に形成したが、ガラスなどの絶縁基板上に形成された結晶性あるいは非晶質シリコン膜に形成してもよい。

【0086】(第2実施形態)図2(a)、(b)は、本発明の第2実施形態の半導体装置を製造する工程を示す図である。本実施形態では、本発明の半導体装置が備える発光素子、受光素子、および導波路のうち、発光素子を形成する工程を説明する。第2実施形態の半導体装置の製造方法において、第1実施形態と同一の部分には

同一の参照番号を付して、詳細な説明を省略する。

【0087】まず、第1実施形態と同様に、SOI基板を用意し、このSOI基板のSOI層13に、第1実施形態と同様に砒素などのn型不純物をイオン注入する。その後、上記SOI層13上に、図1(a)と同様のシリコン酸化膜によるマスクパターン14を形成する。

【0088】次に、上記SOI層13上の上記マスクパターン14が形成されていない部分に、CVD、スパッタリング法などによって、第1の真性シリコン層26をエピ成長する。この真性シリコン層26上に、ノンドープシリコンと半導体シリサイドとしての β -Feシリサイドとを各々独立して同時にスパッタして、ノンドープシリコンと β -Feシリサイドとの混合膜を形成する。引き続き、上記混合膜に、600~900℃の温度でRTAなどの急速昇降温アニールを施して、ノンドープシリコン中に1.5nm~20nm程度の粒径を有するアモルファス状態の β -Feシリサイド微粒子を島状に析出させる。これによって、 β -Feシリサイド微粒子膜27を形成する。その後、図2(a)に示すように、上記 β -Feシリサイド微粒子膜27上に、CVD、スパッタリング法などによって、第2の真性シリコン層28をエピ成長する。

【0089】続いて、図2(b)に示すように、上記SOI層13の不純物と逆の導電型であるp型不純物が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度の濃度でドーピングされたp型シリコンを、例えば50nm~300nm程度エピタキシャル成長し、パターニングして、p型シリコン層29を形成する。これにより、p-i-n接合構造が得られる。上記SOI層13に、図示しない引出し電極を接続してn型電極を形成し、上記p型シリコン層29に図示しない電極を接続してp型電極を形成して、発光素子が完成する。

【0090】本実施形態によれば、上記p-i-n接合構造のi層中に設けられた β -Feシリサイド微粒子は、バンドギャップを有し、さらに、1.5nm~20nmの粒径を有して量子サイズ効果を奏するので、n型のSOI層13を経て注入された電子により、上記 β -Feシリサイド微粒子でエネルギーの直接遷移が生じて、高輝度に発光する。また、本実施形態の発光素子は、上記 β -Feシリサイド微粒子膜17への入射光による光学遷移によってキャリアを生成するので、受光素子としても機能できる。

【0091】上記実施形態において、SOI層13上には、図1(a)に示すようなマスクパターン14を配置しないで、SOI層13上の全面に、第1真性シリコン層、 β -Feシリサイド微粒子膜、第2真性シリコン層、p型シリコン層を積層してp-i-n構造を形成し、その後、リソグラフィ、エッチングプロセスによって、上記SOI層13上の半導体層を所定の形状に形成してもよい。

21

【0092】また、SOI層13にp型不純物を添加すると共に、真性シリコン層28上にn型シリコン層を配置して、n-i-p構造を構成してもよい。

【0093】また、本実施形態の半導体は、SOI基板中に形成された埋め込み酸化膜12上の上記SOI層13に形成したが、ガラスなどの絶縁基板上に形成された結晶性あるいは非晶質シリコン膜に形成してもよい。

【0094】(第3実施形態)図3(a)、(b)、(c)は、本発明の第3実施形態の半導体装置を製造する工程を示す図である。本実施形態では、半導体装置の発光素子を形成する工程を説明する。第3実施形態の半導体装置の製造方法において、第1実施形態と同一の部分には同一の参照番号を付して、詳細な説明を省略する。

【0095】まず、第1実施形態と同様に、SOI基板を用意し、このSOI基板のSOI層13に、砒素などのn型不純物を、 $10^{15} \sim 10^{17} \text{ cm}^{-3}$ 程度の濃度になるようにイオン注入する。その後、上記SOI層13上に、図1(a)と同様のシリコン酸化膜によるマスクパターン14を形成する。

【0096】続いて、上記SOI層13上であって上記マスクパターン14が配置されていない部分であるウィンドウから、SOI層13に、砒素、燐などのn型不純物をイオン注入し、アニールする。これによって、図3(a)に示すように、上記SOI層13の表面からSOI層13の厚みの $1/5 \sim 1/2$ 程度の深さまでの部分に、 $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 程度の濃度のn型不純物を有するn+型領域35を形成する。

【0097】さらに、上記マスクパターン14のウィンドウを通して、ボロンイオンを注入、アニールして、p+型領域36を形成する。上記p+型領域36は、上記n+型領域35内に形成する。その後、上記p+型領域36の下端であって、上記n+型領域との境界に、鉄などの金属イオンを $10^{16} \sim 10^{18} \text{ cm}^{-2}$ 程度の注入量でイオン注入する。引き続き、 $600 \sim 900^\circ\text{C}$ のRTA熱処理を施すことにより、上記イオン注入した鉄を結晶化させ、シリサイド化、微粒子化して、半導体シリサイドとしてのFeシリサイドの微粒子を備えるFeシリサイド微粒子膜37を形成する(図3(b))。

【0098】その後、図3(c)に示すように、上記p+型領域36の上に、上記SOI層13の不純物と逆の導電型であるp型不純物が $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度でドーピングされたp型シリコン層38を、例えば $100 \text{ nm} \sim 300 \text{ nm}$ 程度エピタキシャル成長する。最後に、上記SOI層13に、図示しない引出し電極を接続してn型電極を形成し、上記p型シリコン層28に図示しない電極を接続してp型電極を形成して、発光素子が完成する。

【0099】上記実施形態によれば、上記p+型領域36とn+型領域35との界面にFeシリサイド微粒子膜

22

37を備えるp-n接合構造が形成される。上記p-n接合の界面に形成されたFeシリサイド微粒子膜37は、バンドギャップを有して量子サイズ効果を有するので、高輝度発光が可能であり、高効率の発光素子が形成できる。本実施形態の発光素子は、上記Feシリサイド微粒子膜37に入射する光による光学遷移によってキャリアを生成するので、受光素子としても機能できる。

【0100】上記実施形態において、SOI層13をn型にしたが、SOI層13をp型にして発光素子を形成してもよい。すなわち、p型のSOI層13の表面からSOI層13の厚みの $1/5 \sim 1/2$ 程度の深さまでの部分に、p型不純物を注入してp+型領域を形成し、このp+型領域内に、n型不純物を注入してn+型領域を形成し、このn+型領域の下端であって、上記p+型領域との境界に、Feシリサイド微粒子膜37を形成してもよい。この場合、上記n+型領域上にはn型シリコン層を形成する。

【0101】また、本実施形態の半導体装置は、SOI基板中に形成された埋め込み酸化膜12上の上記SOI層13に形成したが、ガラスなどの絶縁基板上に形成された結晶性あるいは非晶質シリコン膜に形成してもよい。

【0102】(第4実施形態)第3実施形態の半導体装置は、SOI層13内に鉄イオンを注入、アニールして、p-n構造接合の接合境界にFeシリサイド微粒子膜37を形成したが、第4実施形態では、p-i-n構造接合を形成し、i層にFeイオンを注入してFeシリサイド微粒子膜を形成する。まず、図4(a)に示すように、第1実施形態と同様のマスクパターン14を形成し、 $10^{17} \sim 10^{20} \text{ cm}^{-3}$ 程度にn型不純物がドーピングされたn型SOI層13上に、真性シリコンを $50 \sim 150 \text{ nm}$ 程度の厚みに成膜して真性シリコン層41を形成する。その後、上記真性シリコン層41中に、鉄イオンを $10^{16} \sim 10^{18} \text{ cm}^{-2}$ 程度の注入量でイオン注入し、 $600 \sim 900^\circ\text{C}$ のRTA熱処理を施すことにより、真性シリコン層41の厚み方向中央に、半導体シリサイドとしてのFeシリサイドの微粒子を備えるFeシリサイド微粒子部47を形成する。さらに、必要であれば、上記半導体シリサイドの相の最適化を図るために、適当なアニールを施す。その後、図4(b)に示すように、上記真性シリコン層41の上に、p型シリコン層48を例えば例えば $100 \text{ nm} \sim 300 \text{ nm}$ 程度の厚みにエピタキシャル成長する。最後に、上記SOI層13に、図示しない引出し電極を接続してn型電極を形成し、上記p型シリコン層48に図示しない電極を接続してp型電極を形成して、発光素子が完成する。

【0103】本実施形態によれば、上記p-i-n接合構造のi層中に設けられたFeシリサイド微粒子は、バンドギャップを有し、さらに、量子サイズ効果を奏するので、キャリア注入によってエネルギーの直接遷移が生

じ、高輝度に発光する。また、本実施形態の発光素子は、上記Feシリサイド微粒子部47への入射光による光学遷移によってキャリアを生成するので、受光素子としても機能できる。

【0104】上記実施形態において、SOI層13上には、図1(a)と同様のマスクパターン14を配置しないで、SOI層13上の全面に真性シリコン層を積層し、この真性シリコン層の厚み方向略中央にFeシリサイド粒子部を形成し、上記真性シリコン層上にp型シリコン層を積層してp-i-n構造を形成し、その後、リソグラフィ、エッチングプロセスによって、上記SOI層13上の半導体層を所定の形状に形成してもよい。

【0105】また、SOI層13にp型不純物を添加すると共に、真性シリコン層41上にn型シリコン層を配置して、n-i-p構造を構成してもよい。

【0106】また、本実施形態の半導体は、SOI基板中に形成された埋め込み酸化膜12上の上記SOI層13に形成したが、ガラスなどの絶縁基板上に形成された結晶性あるいは非晶質シリコン膜に形成してもよい。

【0107】第3、第4実施形態では、鉄などの金属イオンをシリコン層に注入する際、金属イオンの注入深さ方向分布が重要となる。一般的にチャネリングが生じない場合で注入した金属イオンの深さ方向分布は、金属イオンの注入エネルギーとドーズ量で決定される。S.M.Sze著VLSI Technology 2nd ed. McGrawHill出版(1988)によると、イオン注入の深さ方向プロファイルは、イオンの投影飛程Rpと投影分散ΔRpおよび3次のモーメントm3から、LSS(Lindhard, Scharaff, Schiott)理論に基づいて概算することが可能である。J.F.Gibbons, W.S.Johnson, S.M.Mylroie著 Projected Ranges Statistics: Semiconductors and Related Materials, 2nd ed. Dowden, Hutchinson & Ross 出版社(1975)には、上記RpおよびΔRpおよびm3などに関する計算値が表にまとめられている。イオンが注入されるシリコン層の最表面から、投影飛程Rpを中心にΔRp程度の幅で注入イオンの打ち込み領域が形成される。従って、イオンの注入エネルギーを制御することで微粒子を形成する深さを制御し、ドーズ量を制御することでシリサイド微粒子の密度、サイズが制御可能になる。

【0108】ここで、半導体シリサイド微粒子のバンドギャップについて説明する。半導体シリサイド微粒子のバンドギャップは、半導体シリサイドの材料本来の特性によって決まる面もあるが、これに加えて、ナノメートルオーダーの微粒子特有の量子サイズ効果によって制御される。半導体シリサイド微粒子の半径をR、電子と正孔の有効質量を夫々 m_e 、 m_h として、電子と正孔の波動関数が微粒子の境界で0となる境界条件と有効質量近似を導入すると、微粒子のバンドギャップ E_{gmicro} は、下記の式(1)で求められる。

【0109】

【数1】

$$E_{gmicro} = E_{gbulk} + h^2 \phi^2 / 2\mu R^2 \dots (1)$$

ここにおいて、hはプランク定数、 μ は電子と正孔の換算質量であって、

$$\mu = m_e \times m_h / (m_e + m_h),$$

E_{gbulk} はバルクにおけるバンドギャップであり、 $\phi = \pi$ である。

【0110】また、半導体シリサイド微粒子を、2種類の半導体シリサイドの混晶で形成すると、粒子サイズだけでなく混晶比によってもバンドギャップを制御することが可能になる。例えば、第1の半導体シリサイドのバンドギャップを E_{g1} 、第2の半導体シリサイドのバンドギャップを E_{g2} 、第1の半導体シリサイドの組成比をxとすると、この混晶半導体シリサイドのバンドギャップ E_{gmix} は、下記の式(2)で求められる。

【0111】

$$E_{gmix} = xE_{g1} + (1-x)E_{g2} \dots (2)$$

ここで、Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドなどのうち、少なくとも2種類以上の半導体シリサイドを混晶し、この混晶比を制御すると共に、上記混晶した2種類以上の半導体シリサイドによって微粒子を形成し、この微粒子の径を制御する。そうすると、直接遷移型半導体としての半導体シリサイドの特性を生かしながら、粒子径による効果と混晶比による効果とによって、混晶による半導体シリサイド微粒子を、所望のバンドギャップに正確に制御することができる。

【0112】上記第1乃至第4実施形態の半導体装置において、2種類以上の半導体シリサイドを用いて微粒子を形成し、この微粒子の径を制御して発光素子を形成したところ、上記半導体シリサイド微粒子によって、所望の波長の光を発光させることができた。

【0113】(第5実施形態)図5は、本発明の第5実施形態の半導体装置を示す図である。この半導体装置は、n-p-n型バイポーラトランジスタB1と、i層57に半導体シリサイド微粒子59が形成されたp-i-n型発光素子L1とを組み合わせたものである。この半導体装置は、上記バイポーラトランジスタB1のコレクタ52と、上記発光素子L1のn型シリコン領域51とを共通にしている。この半導体装置は、第1乃至第4実施形態の発光素子のSOI基板と同様のSOI基板上に形成されており、上記コレクタ52とn型シリコン領域51とは、シリコン単結晶層11上の埋め込み酸化膜12上に形成されている。

【0114】上記バイポーラトランジスタB1とp-i-n型発光素子L1の間には、分離体としてのシリコン酸化膜56が形成されており、このシリコン酸化膜56が、バイポーラトランジスタB1と発光素子L1とを

25

分離している。また、発光素子L1のp型シリコン領域58上には発光素子電極61が形成され、トランジスタB1のエミッタ54上にはエミッタ電極62が形成され、ベース53上にはベース電極63が形成されている。

【0115】上記発光素子L1は、n型シリコン領域51と、このn型シリコン領域51上の真性シリコン領域57を有し、この真性シリコン領域57は、厚み方向略中央に、Feシリサイド微粒子59を含んでいる。

【0116】また、上記バイポーラトランジスタB1は、エミッタ54、ベース53、コレクタ52で構成されている。上記ベース53に電流が流れると、上記バイポーラトランジスタB1はオンになり、コレクタ52に電子が注入される。この注入された電子が発光素子L1のn型シリコン領域51に注入される。ここで、上記発光素子電極61を介して、発光素子L1のp型シリコン領域58に正孔が注入されると、真性シリコン領域57中のFeシリサイド微粒子59が発光する。したがって、上記バイポーラトランジスタB1に入力される電気信号を、上記発光素子L1によって光信号に変換できる。

【0117】なお、上記説明とは逆に、上記発光素子L1におけるp-i-n構造に、上記半導体シリサイド微粒子59のバンドギャップと共鳴する光が入射すると、光学遷移によって微粒子59でキャリア、すなわち電子と正孔が発生する。このキャリアを、上記p-i-n構造のn型領域51もしくはp型領域58から取り出して他の回路に流すことによって、上記発光素子L1は受光素子として機能できる。例えば、上記バイポーラトランジスタB1のエミッタ54とコレクタ52を入れ換えると、このバイポーラトランジスタがオンのときに、上記受光素子で受光した光を電気信号に変換できる。

【0118】なお、本実施形態の半導体装置において、上記発光素子L1の各領域58、57、51と、上記バイポーラトランジスタB1の深さ方向に対応する各領域、すなわちエミッタ54、ベース53、コレクタ52との間で、導電型や不純物濃度が異なる。例えば、発光素子L1では、真性シリコン領域57は真性であるのに対して、バイポーラトランジスタB1のベース53はp型である。また、発光素子L1のp型シリコン領域58はp型であるのに対して、バイポーラトランジスタB1のエミッタ54はn型である。

【0119】これらの構造は、リソグラフィ、エッチングまたはリフトオフ、およびイオン注入を組み合わせで作成できる。例えば、SOI層上に、シリコン酸化膜からなるマスクパターンを形成し、シリコン酸化膜が形成されていない領域に選択的にイオン注入することによって、各領域の導電型と不純物濃度が制御可能になる。

【0120】上記実施形態の半導体装置は、n-p-n型バイポーラトランジスタB1とp-i-n型発光素子

26

L1との組み合わせであるが、p-n-p型のバイポーラトランジスタと、n-i-p型の発光素子とを組み合わせてもよい。

【0121】(第6実施形態)図6は、本発明の第6実施形態の半導体装置を示す図である。この半導体装置は、n-MOSFET71と、真性シリコン領域73に半導体シリサイド微粒子74が形成されたp-i-n型発光素子75とを、SOI基板上に一体に組み込んだシリコン系光電気集積回路である。

【0122】上記p-i-n型発光素子75は、シリコン単結晶層11上の埋め込み酸化膜12上に形成されたn型領域77、真性シリコン領域73、p型領域78を備え、上記真性シリコン領域73は半導体シリサイド微粒子74を含んでいる。また、このp型領域78上には、発光素子電極79が形成されている。上記n型領域77は、n-MOSFET71のドレイン領域77と発光素子75のn型領域77との2つの役目を果たす。

【0123】上記MOSFET71は、ソース領域81、チャネル領域82、ドレイン領域77、ゲート酸化膜84、ゲート電極85、ソース電極86とで構成されている。上記ゲート電極85に電圧が印加されると、上記MOSFET71はオンとなり、上記ソース電極86からソース領域81を経て上記ドレイン領域77に電子が注入される。そして、電子がn型領域77から真性シリコン領域73に注入されるので、発光素子電極79から上記発光素子75のp型領域78を介して上記真性シリコン領域73に正孔を注入すると、真性シリコン層73中の半導体シリサイド微粒子74が発光する。したがって、上記MOSFET71に入力される電気信号を、上記発光素子79によって光信号に変換できる。

【0124】なお、上記説明とは逆に、上記発光素子79におけるp-i-n構造に、上記半導体シリサイド微粒子74のバンドギャップと共鳴する光が入射すると、光学遷移によって微粒子74でキャリア、すなわち電子と正孔が発生する。このキャリアを、上記p-i-n構造のn型領域77もしくはp型領域78から取り出して他の回路に流すことによって、上記発光素子79は受光素子として機能できる。例えば、上記MOSFET71のソース領域81とドレイン領域77とを入れ換えると、このMOSFETがオンのときに、受光素子で受光した光を電気信号に変換できる。

【0125】本実施形態が備えるMOSFET71は、前述の第4実施形態の発光素子の製造方法と同様の方法で製造できる。すなわち、上記MOSFET71と発光素子75とは、前述の第4実施形態と同様の方法で作成可能である。したがって、共通のSOI基板上に、共通の製造プロセスによってMOSFET71と発光素子75とが製造できるので、モノリシックの光電気集積回路が比較的容易、安価に製造できる。

【0126】また、バイポーラトランジスタの製造方法

50

について、上記第5実施形態の半導体装置におけるような、エピタキシャル成長によって縦方向に半導体を積層して形成する以外に、上記MOSFET71を形成する場合と同様に、リソグラフィとイオン注入を用いて横方向に異なる領域を配置して形成する方法が検討されている。したがって、本実施形態の半導体装置を製造するプロセスと同様のプロセスによってバイポーラトランジスタが形成でき、その結果、バイポーラトランジスタと発光素子を共通のプロセスによって簡単安価に半導体装置が製造できる可能性が高い。

【0127】上記実施形態の半導体装置は、n-MOSFET71とp-i-n型発光素子L1との組み合わせであるが、p-MOSFETと、n-i-p型の発光素子とを組み合わせてもよい。

【0128】(第7実施形態)上記第1乃至第4実施形態で形成した発光素子からの光は、SOI層13中を伝播する。しかし、上記SOI層13のみでは、上記発光素子からの光は全方位に伝播するので、上記発光素子をLSIに組み込んで信号伝送のために用いるには、以下に述べるようにして、上記SOI層13に光伝播の方向性を持たせる必要がある。

【0129】図7(a)は、本発明の第7実施形態の半導体装置を示す平面図であり、SOI基板のSOI層13に、発光素子601、受光素子602、上記発光素子601からの光を受光素子602に導く光導波路633とが形成されている。さらに、上記SOI層13には、上記発光素子601に隣接する発光素子601駆動用のMOSFET604と、上記受光素子602に隣接して受光素子602が受光した光信号を電気信号に変換するMOSFET606とが形成されている。

【0130】図7(b)は、図7(a)のC-C線での断面図であり、光導波路633による光伝送方向(矢印D)に略直角方向の断面を示す図である。

【0131】上記光導波路633は、以下のようにして形成される。すなわち、リソグラフィ、異方性エッチングなどによって、上記SOI層13に、下地絶縁膜12に達する深さのトレンチを形成する。このトレンチの間に残ったSOI層の部分に導波路になる。続いて、上記トレンチに、シリコンよりも屈折率が小さいシリコン酸化膜を埋め込み、シリコン酸化膜からなる側壁632、632を形成する。上記側壁632、632を形成した後、CMP(化学的機械研磨)技術などによってSOI層13表面を平坦化し、この表面にシリコン酸化膜634を形成する。上記シリコン酸化膜634は、上記導波路633が伝送する光のシリコン酸化膜への染み出し長よりも薄い厚みに形成する。これによって、シリコンからなる導波路633の側部および上部を、シリコンよりも屈折率が小さいシリコン酸化膜で囲んで、シリコンチャンネル構造を形成する。

【0132】上記発光素子601の駆動用MOSFET

604は、ソース領域611、チャネル領域612、ドレイン領域613からなり、このドレイン領域613は上記発光素子601のn型領域613を兼ねている。また、上記受光素子602の信号変換用のMOSFET606は、ソース領域621、チャネル領域622、ドレイン領域623からなり、このドレイン領域623は上記受光素子602のn型領域623を兼ねている。

【0133】上記発光素子601は、上記n型領域613とp型領域615と発光領域614とを有し、上記受光素子602は、上記n型領域623とp型領域625と発光領域624とを有する。上記発光領域614、受光領域624は、半導体シリサイド微粒子を含んでいる。

【0134】本実施形態の半導体装置は、上記MOSFET601がオンになると、発光領域614が発光し、この光は、SOI層の部分からなりシリコン酸化膜で囲まれた導波路633を経由して、矢印Dで示す方向に伝送される。そして、この光を受けた受光領域624はキャリアを生成し、MOSFET602をオンにする。このようにして、MOSFET601とMOSFET602との間の信号を光によって伝送することができる。

【0135】上記シリコンからなる導波路633は、側部および上部をシリコンよりも屈折率が小さいシリコン酸化膜で囲んだので、光が効率良く閉じ込められて、良好な光伝送効率が得られる。

【0136】また、上記シリコン酸化膜634は、導波路633が伝送する光のシリコン酸化膜における染み出し長よりも薄い厚みを有するので、上記シリコン酸化膜634と、このシリコン酸化膜634の導波路633に接しない側にある空気との界面で、上記導波路633からの光が全反射して導波路633側に戻る。したがって、導波路633への光閉じ込め効果がさらに向上できる。

【0137】上記実施形態において、上記導波路633の側部および上部は、シリコン窒化膜、シリコン酸化膜とシリコン窒化膜との多層膜によって囲んでもよい。また、上記導波路633の側部および上部を空気やガスに接触させてもよく、また、上記導波路633の周囲を真空にしてもよい。上記導波路633の側部および上部を、シリコン酸化膜とシリコン窒化膜との多層膜で囲むと、多層膜を構成する膜の膜厚や膜数を制御することによって、導波路633と多層膜との界面における光の反射に波長依存性を持たせることができる。これによって、上記導波路633を伝播する光に対応して、導波路633の伝送特性を制御することができる。

【0138】また、上記導波路633は、MOSFET604、606と共通の製造プロセスによって形成できるので、上記MOSFET604、606と共に、SOI基板上に容易、安価に形成できる。

【0139】上記実施形態において、2個のMOSFE

T604, 606間を、導波路633を介して光で情報伝送したが、MOSFET604, 606に替えてバイポーラトランジスタを備え、このバイポーラトランジスタ間を、光で情報伝送してもよい。

【0140】また、複数のMOSFETやバイポーラトランジスタなどの素子を備え、この複数の素子間の情報を、発光素子、導波路、受光素子を介して光で伝送し、素子間の信号伝送速度を高速にして、処理速度が高速の集積回路を構成してもよい。上記集積回路は、従来のシリコン系集積回路と同様の製造プロセスで形成できるので、処理速度が高速の集積回路が、大幅なコストの増大を伴うことなく実現できる。

【0141】(第8実施形態)図8は、本実施形態の半導体装置が備える信号取り出し接合部を示した図である。この信号取り出し接合部は、SOI基板87の縁に形成されていて、図8は上記SOI基板87の一部を示している。本実施形態の半導体装置は、SOI基板87に、図示しない集積回路と、この集積回路に接続された図示しない出力発光素子および入力受光素子を備える。

【0142】上記信号取り出し接合部では、上記SOI基板87に形成された溝88に、光ファイバ89が接続されている。上記溝88には、上記出力発光素子に一端が接続された導波路の他端が配置されていて、上記導波路からの光を上記光ファイバ89を介して半導体装置の外部に出力するようになっている。

【0143】また、上記半導体装置は、図8と同様の構造を有する信号取り入れ接合部を備える。この信号取り入れ接合部は、外部からの光信号を導く光ファイバと、上記入力受光素子に一端が接続された導波路の他端とを接続している。

【0144】上記信号取り出し接合部および信号取り入れ接合部では、必要に応じてレンズなどの光学系を導入して、光ファイバ89のコアの中心と上記導波路の中心とを合わせて接続する。

【0145】上記信号取り入れ接合部に接続された光ファイバ89を介して外部から入力された光信号は、上記入力受光素子によって電気信号に変換され、上記集積回路で処理される。一方、上記集積回路で処理された電気信号は、上記出力発光素子によって光信号に変換され、上記信号取り出し接合部に接続された光ファイバ89を介して半導体装置の外部に出力される。これによって、上記半導体装置は、他の集積回路や外部のシステムなどと、光によって高速に情報伝送ができる。

【0146】従来、金属配線では、1つの配線で複数の信号情報を同時に並列伝送することは困難であった。しかし、光信号を用いると、複数の異なる波長の光信号を用いることによって、複数の信号を1つの導波路で伝送できる。上記第1乃至第4実施形態の発光素子によれば、半導体シリサイド微粒子の粒径や、複数の半導体シリサイドの混晶比を制御することによって、波長が異な

る複数の発光素子を容易に同一基板に形成することができる。したがって、本発明の第8実施形態の半導体装置によれば、第1乃至第7実施形態の発光素子、受光素子、導波路、MOSFET、およびバイポーラトランジスタを用いて、他の集積回路や外部のシステムと安定して高速に情報伝送が可能で、また、高速処理が可能な集積回路が構成できる。

【0147】上記第1乃至第8実施形態において、発光素子、受光素子、導波路、MOSFET、およびバイポーラトランジスタの製造方法は一例であり、同様の構造が実現されるならば、他の製造方法で形成してもよい。例えば、バタニングの方法は紫外線露光に限定されるものではなく、電子線、X線やシンクロトロン放射光などによるリソグラフィーでも、同構造の素子が形成される。また、フォトリソグラフィーとリフトオフの組み合わせでマスクパターンの形成を行ったが、リソグラフィーとエッチングの通常プロセスの組み合わせでも、同構造のパターン形成が可能である。

【0148】

【発明の効果】以上より明らかなように、本発明の半導体装置によれば、絶縁膜と、この絶縁膜上に位置するシリコン結晶層とを備えるSOI基板と、上記SOI基板のシリコン結晶層に形成されて、半導体シリサイドの微粒子を備える発光素子と、上記シリコン結晶層に形成されて、半導体シリサイドの微粒子を備える受光素子と、上記発光素子から放出された光を上記受光素子に導く導波路とを備えるので、上記発光素子および受光素子が備える半導体微粒子は、バンドギャップを有し、さらに、量子サイズ効果を奏するから、良好な発光効率の発光素子と、良好な受光効率の受光素子が得られ、また、上記導波路によって、上記発光素子からの光が上記受光素子に導かれるから、上記発光素子から受光素子へ良好な信号伝送効率で信号などが伝送される。

【0149】1実施形態の半導体装置によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドのいずれか1つの微粒子であるので、上記発光素子および受光素子は、良好な発光効率および受光効率を得られる。

【0150】1実施形態の半導体装置によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、 β -Feシリサイドの微粒子であり、この β -Feシリサイドは直接遷移型半導体であって、バンドギャップが0.75~0.9eVであり、また、光の吸収率が $1E5/cm$ と比較的大きいので、上記発光素子および受光素子は、例えば1~1.55 μm 帯付近であって信号伝送に好適な赤外光が効率良く発光および受光できる。

31

【0151】1実施形態の半導体装置によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、Feシリサイド、 β -Feシリサイド、Mnシリサイド、Mgシリサイド、Moシリサイド、Wシリサイド、Crシリサイド、Ruシリサイド、Reシリサイド、Osシリサイド、Baシリサイド、およびIrシリサイドのうちの2つ以上からなる混晶半導体の微粒子であるので、上記2つ以上の半導体シリサイドの混晶比を制御することによって、所望のバンドギャップが得られる。

【0152】1実施形態の半導体装置によれば、上記半導体シリサイドの微粒子は、1.5~30nmの粒径を有するので、この粒径を制御することによって、所望のバンドギャップが得られる。

【0153】1実施形態の半導体装置によれば、上記発光素子および受光素子の上記半導体シリサイドの微粒子は、上記半導体シリサイドの構成元素以外の金属元素がドーパされた半導体シリサイド微粒子であるので、上記金属元素が発光中心として働いて、半導体シリサイド微粒子におけるキャリアの再結合を促進するから、良好な発光効率の発光素子が得られ、また、上記金属元素が発生中心として働いて、半導体シリサイド微粒子におけるキャリアの生成を促進するから、良好な受光効率の受光素子が得られる。

【0154】1実施形態の半導体装置によれば、上記他の金属元素は、Erであるので、上記発光素子は、上記半導体シリサイドの微粒子において上記Erが発光中心として働いて、良好な発光効率を得られ、また、上記受光素子は、上記半導体シリサイドの微粒子において上記Erが発生中心として働いて、良好な受光効率を得られる。

【0155】1実施形態の半導体装置によれば、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の下部が上記絶縁膜に接すると共に、上記矩形断面の導波路の上部および側部が、シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜からなる多層膜で囲まれているので、上記導波路は、下部を画定する必要がなく、上部および側部を画定するのみによって上記シリコン結晶を用いて容易に形成され、また、上記導波路の上部および側部を囲むシリコン酸化膜およびシリコン窒化膜はシリコンよりも屈折率が小さいから、上記シリコンからなる導波路に効果的に光を閉じ込めて、導波路の光の伝送効率を向上できる。また、上記導波路は、この導波路の上部および側部を囲むシリコン酸化膜とシリコン窒化膜からなる多層膜によって、伝送する光の波長に対応する伝送特性が得られる。

【0156】1実施形態の半導体装置によれば、上記導波路は、上記シリコン結晶層中に形成されて矩形断面を有し、上記矩形断面の導波路の上部および側部は、シリ

32

コン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜よりも低い誘電率を有する膜によって囲まれているか、あるいは、空気または不活性ガスに接するか、あるいは、上記矩形断面の導波路の上部および側部の周りは真空であるので、上記シリコン結晶からなる導波路に効果的に光が閉じ込められて、上記導波路の光の伝送効率が向上する。

【0157】1実施形態の半導体装置によれば、上記矩形断面の導波路の上部および側部を囲む上記シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜の膜厚は、上記発光素子からの光の染み出し長よりも薄い厚みを有するので、上記シリコン酸化膜、シリコン窒化膜、またはシリコン酸化膜とシリコン窒化膜との多層膜の上記導波路と接しない側の面が、空気および真空に接する場合、これらの膜への導波路からの染み出し光は、上記空気および真空との間の界面に達し、この界面で導波路側に全反射されるから、上記導波路への光閉じ込め効果が向上し、この導波路の光伝送効率が向上する。

【0158】1実施形態の半導体装置によれば、上記SOI基板に、複数の素子によって構成された集積回路を備え、上記発光素子、受光素子、および導波路によって、上記集積回路の複数の素子間の信号を伝送するので、上記素子間の信号が高速で伝送されて、上記集積回路の処理速度が高速にでき、また、配線を介して電子で情報伝送する場合におけるような電磁波などの外乱を効果的に削除できて、上記集積回路による処理を安定にできる。

【0159】1実施形態の半導体装置によれば、上記集積回路を構成する複数の素子は、絶縁ゲート電界効果型MOS素子、またはバイポーラ素子であるので、上記複数の素子で電子的に処理された信号が、上記発光素子、受光素子、および導波路で光によって高速に伝送されて、処理速度が高速な光電気集積回路が形成できる。

【0160】1実施形態の半導体装置によれば、上記集積回路に信号を入出力する入力受光素子および出力発光素子と、上記入力受光素子および出力発光素子と、他の半導体装置または外部のシステムとを接続する導波路とを備え、上記入力受光素子、出力発光素子、および導波路によって、上記他の半導体装置または外部のシステムと信号をやり取りするので、上記半導体装置は、上記他の半導体装置または外部のシステムとの間で、高速に安定して信号伝送が実行できる。

【0161】1実施形態の半導体装置によれば、上記導波路は、光ファイバであるので、上記半導体装置と、他の半導体装置または外部のシステムとの間の信号伝送が、高速に安定して実行できる。

【0162】本発明の半導体装置によれば、第1の素子と、上記第1の素子に隣接して、第1の粒径の半導体シリサイド微粒子を備える第1の発光素子と、第2の素子

と、上記第2の素子に隣接して、第2の粒径の半導体シリサイド微粒子を備える第2の発光素子と、第3の素子と、上記第3の素子に隣接して、第1の粒径の半導体シリサイド微粒子を備える第1の受光素子と、第4の素子と、上記第4の素子に隣接して、第2の粒径の半導体シリサイド微粒子を備える第2の受光素子と、上記第1および第2の発光素子から放出された光を上記第1および第2の受光素子に導いて、波長多重並列伝送する導波路とをSOI基板の絶縁膜上のシリコン結晶層に備えるので、波長が異なる複数の光を、同一の導波路によって伝送することにより、複数の信号が並列伝送できる。

【0163】本発明の半導体装置の製造方法によれば、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層上の上記酸化膜が形成されていない部分に、第1の真性シリコン層をエピタキシャル成長する工程と、上記第1の真性シリコン層上に、真性シリコンと、金属または半導体シリサイドとを、スパッタ法、蒸着法、またはMBE法によって同時成膜する工程と、上記真性シリコンと、金属または半導体シリサイドとからなる膜をアニールして、半導体シリサイド微粒子を含む膜を形成する工程と、上記半導体シリサイド微粒子を含む膜上に、第2の真性シリコン層をエピタキシャル成長する工程と、上記第2の真性シリコン層上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えるので、 $p-i-n$ あるいは $n-i-p$ 構造を有して良好な発光効率および受光効率を有する受光素子および発光素子が、SOI基板の所定部分に作成できる。

【0164】本発明の半導体装置の製造方法によれば、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層上の上記酸化膜が形成されていない部分に、真性シリコンと、金属または半導体シリサイドとを、スパッタ法、蒸着法、またはMBE法によって同時成膜する工程と、上記真性シリコンと、金属または半導体シリサイドとからなる膜をアニールして、上記真性シリコン中に、半導体シリサイド微粒子を島状に形成する工程と、上記半導体シリサイド微粒子が島状に析出された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えるので、 $p-n$ あるいは $n-p$ 構造を有して良好な発光効率および受光効率を有する受光素子および発光素子が、SOI基板の

所定部分に作成できる。

【0165】本発明の半導体装置の製造方法によれば、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層上の上記酸化膜が形成されていない部分に、真性シリコン膜を、スパッタ法、蒸着法、またはMBE法によって成膜する工程と、上記真性シリコン膜中に、Fe、Mn、Mg、Mo、W、Cr、Ru、Re、Os、Ba、またはIrの金属イオンをイオン注入する工程と、上記金属イオンが注入された真性シリコン膜をアニールして、上記真性シリコン膜中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する工程と、上記半導体シリサイド微粒子が島状に形成された真性シリコンの膜上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えるので、 $p-i-n$ あるいは $n-i-p$ 構造を有して良好な発光効率および受光効率を有する受光素子および発光素子が、SOI基板の所定部分に作成できる。

【0166】本発明の半導体装置の製造方法によれば、SOI基板の絶縁膜上のシリコン結晶層中に、第1導電型の不純物を添加し、この不純物を活性化させる工程と、上記シリコン結晶層上に酸化膜を形成し、この酸化膜を所定の形状にパターニングする工程と、上記シリコン結晶層中の上記酸化膜が形成されていない部分に、Fe、Mn、Mg、Mo、W、Cr、Ru、Re、Os、Ba、またはIrの金属イオンをイオン注入する工程と、上記金属イオンが注入されたシリコン結晶層をアニールして、上記シリコン結晶層中に、上記金属イオンを含む半導体シリサイド微粒子を島状に形成する工程と、上記半導体シリサイド微粒子が島状に形成されたシリコン結晶層上に、第2導電型の不純物が添加されたシリコン層を形成する工程と、上記絶縁膜上のシリコン結晶層と、上記第2導電型の不純物が添加されたシリコン層とに、電極を各々接続する工程とを備えるので、 $p-i-n$ あるいは $n-i-p$ 構造を有して良好な発光効率および受光効率を有する受光素子および発光素子が、SOI基板の所定部分に容易に作成でき、また、導波路に容易かつ良好に接続される受光素子および発光素子にできる。

【0167】本発明の半導体装置の製造方法によれば、SOI基板の絶縁膜上のシリコン結晶層に、MOSFETのソースおよびドレインとなる第1導電型の第1領域を形成する工程と、上記シリコン結晶層に、上記第1領域から所定の距離をおいて、第2導電型の第2領域を形成する工程と、上記シリコン結晶層の上記第1領域と第2領域との間の領域に、金属イオンを注入する工程と、

35

上記シリコン結晶層の上記金属イオンを注入した領域に、半導体シリサイド微粒子を形成するための熱処理を施す工程と、上記シリコン結晶の第1領域と、第2領域とに、電極を各々接続する工程とを備えるので、SOI基板上に、MOSFETと、このMOSFETのソースおよびドレインに接続された発光素子および受光素子が形成できて、電気信号と光信号との間を変換するモノリシックの半導体装置が、従来のMOSFETの製造ラインを利用して安価に製造できる。

【0168】本発明の半導体装置の製造方法によれば、SOI基板の絶縁膜上のシリコン結晶層に、上記絶縁膜に達しない深さのトレンチを形成し、このトレンチに絶縁体を充填して分離体を形成し、この分離体の両側かつ上記絶縁膜上に、パイボウラ素子のコレクタ領域に接続する第1導電型の第1領域を形成する工程と、上記シリコン結晶層の上記分離体の一方の側であって上記第1領域の上方に、金属イオンを注入する工程と、上記シリコン結晶層の上記金属イオンを注入した領域に、半導体シリサイド微粒子を形成するための熱処理を施す工程と、上記シリコン結晶層の上記半導体シリサイド微粒子を形成した領域の上方に、第2導電型の第2領域を形成する工程と、上記シリコン結晶層の上記分離体の他方の側に、パイボウラ素子を形成する工程と、上記シリコン結晶層の第2領域と、上記パイボウラ素子に、電極を各々接続する工程とを備えるので、SOI基板上に、パイボウラ素子と、このパイボウラ素子のコレクタに接続された発光素子および受光素子が形成できて、電気信号と光信号との間を変換するモノリシックの半導体装置が製造できる。

【0169】1実施形態の半導体装置の製造方法によれば、上記半導体シリサイド微粒子に、Erを添加するので、発光効率の良好な発光素子、および、受光効率の良好な受光素子を備える半導体装置が形成できる。

【図面の簡単な説明】

【図1】 図1(a)、(b)、(c)は、本発明の第1実施形態の半導体装置を製造する工程を示す図であり、図1(a)は、SOI層13上にシリコン酸化膜によるマスクパターン14を形成した様子を示し、図1(b)は、 β -Feシリサイドの微粒子を備える β -Feシリサイド微粒子膜15を形成した様子を示す図であり、図1(c)は、上記 β -Feシリサイド微粒子膜15の上に、p型シリコン層18をエピタキシャル成長した様子を示す図である。

【図2】 図2(a)、(b)は、本発明の第2実施形態の半導体装置を製造する工程を示す図であり、図2(a)は、 β -Feシリサイド微粒子膜27上に、第2の真性シリコン層28をエピ成長した様子を示す図であり、図2(b)は、上記第2の真性シリコン層28上に、p型シリコン層29を形成してp-i-n接合構造

36

を完成する様子を示した図である。

【図3】 図3(a)、(b)、(c)は、本発明の第3実施形態の半導体装置を製造する工程を示す図であり、図3(a)は、SOI層13の表面から所定深さまでの部分に、n型不純物を有するn+型領域35を形成した様子を示す図であり、図3(b)は、p+型領域36を形成した後、このp+型領域36とn+型領域との境界に、Feシリサイド微粒子膜37を形成した様子を示す図であり、図3(c)は、上記p+型領域36の上に、p型シリコン層38をエピタキシャル成長した様子を示す図である。

【図4】 図4(a)、(b)は、本発明の第4実施形態の半導体装置を製造する工程を示す図であり、図4(a)は、n型SOI層13上であってマスクパターン14が配置されていない部分に、真性シリコン層41を形成した様子を示す図であり、図4(b)は、上記真性シリコン層41中にFeシリサイド微粒子部47を形成し、この真性シリコン層41の上に、p型シリコン層48をエピタキシャル成長した様子を示す図である。

【図5】 本発明の第5実施形態の半導体装置を示す図であり、n-p-n型バイポーラトランジスタB1と、半導体シリサイド微粒子59を備えるp-i-n型発光素子L1とを組み合わせたものである。

【図6】 本発明の第6実施形態の半導体装置を示す図であり、n-MOSFET71と、半導体シリサイド微粒子74を備えるp-i-n型発光素子75とを、SOI基板上に一体に組み込んだシリコン系光電気集積回路である。

【図7】 図7(a)、(b)は、本発明の第7実施形態の半導体装置を示す図であり、7(a)は、第7実施形態の半導体装置の平面図であり、7(b)は、図7(a)のC-C線での断面図である。

【図8】 本実施形態の半導体装置が備える信号取り出し接合部を示した図である。

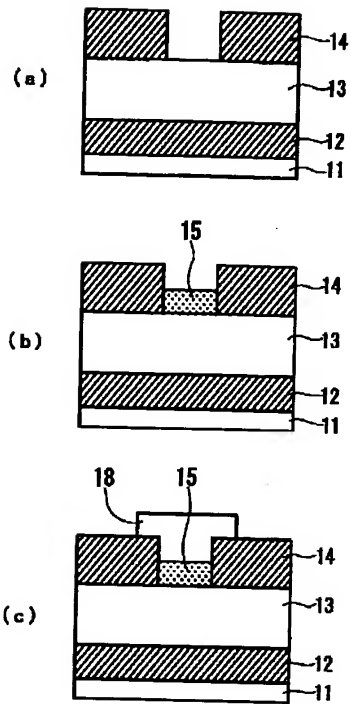
【図9】 シリコン層101からの光が膜72に向かって進む様子を示した図である。

【図10】 IV族半導体によって、発光素子および受光素子を構成した従来の半導体装置を示す図である。

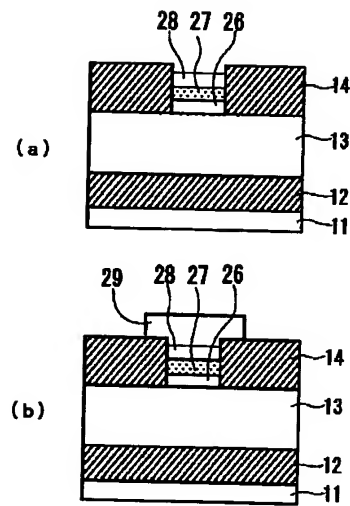
【符号の説明】

- 11 シリコン結晶層
- 12 下地絶縁膜
- 13 SOI層
- 601 発光素子
- 602 受光素子
- 633 光導波路
- 604 MOSFET
- 606 MOSFET
- 632 側壁
- 634 シリコン酸化膜

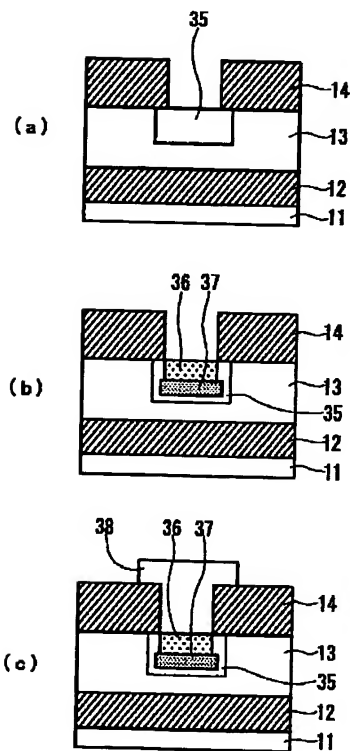
【図1】



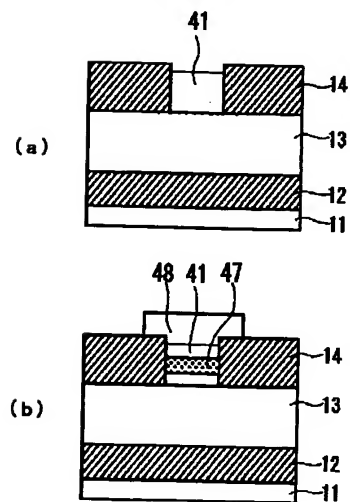
【図2】



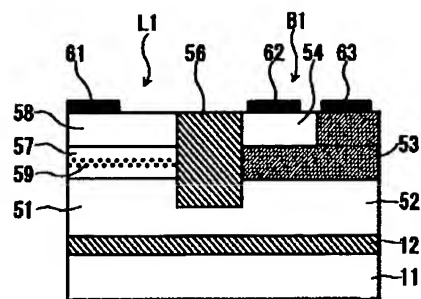
【図3】



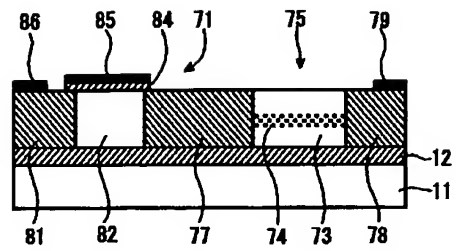
【図4】



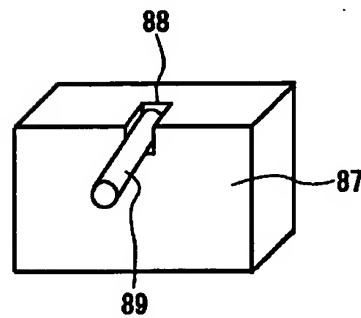
【図5】



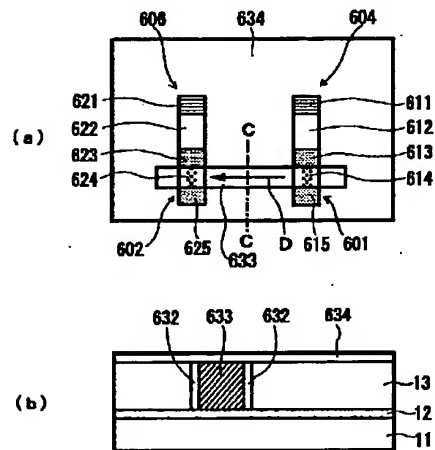
【図6】



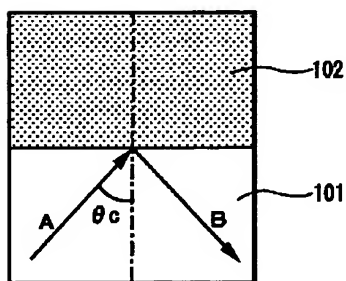
【図8】



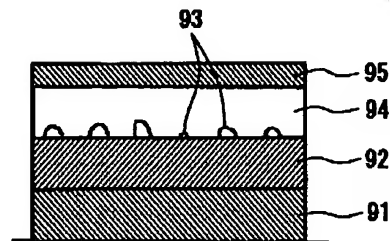
【図7】



【図9】



【図10】



フロントページの続き

(51)Int. Cl.⁷

H01L 33/00

識別記号

FI

H01L 31/10

テーマコード(参考)

A

(22)

特開2003-31790

(72)発明者 太田 賢司

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

Fターム(参考) 5F041 CA24 CA46

5F049 MA03 MA04 MB01 QA08 RA07

RA08 SS03